



#15

036

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Yasuhiro Fukuda
Serial No.: 09/887,594
Filed: 06/22/2001
Title: DRIVING CIRCUIT

Docket No.: TIJ-26831
Art Unit: TBD
Examiner: Not Assigned

TRANSMITTAL LETTER ACCOMPANYING CERTIFIED COPY OF
PRIORITY APPLICATION UNDER 35 U.S.C. § 119

Assistant Commissioner for Patents
Attn.: Application Processing Div.
Customer Correction Branch
Washington, DC 20231

MAILING CERTIFICATE UNDER 37 C.F.R. §1.8(A)
I hereby certify that this correspondence is being deposited with
the United States Postal Service as first class mail in an envelope
addressed to: Assistant Commissioner for Patents, Washington,
D.C. 20231

William B. Kempler, Reg. No. 28,228

Date

Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. 2000-187771, filed on June 22, 2001, in the Japanese Patent Office and from which priority under 35 U.S.C. § 119 is claimed for the above-identified application.

Respectfully submitted,

William B. Kempler
Senior Corporate Patent Counsel
Reg. No. 28,228

Texas Instruments Incorporated
PO BOX 655474, M/S 3999
Dallas, TX 75251
(972)917-5452
(972)917-4407



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月22日

出 願 番 号

Application Number:

特願2000-187771

出 願 人

Applicant(s):

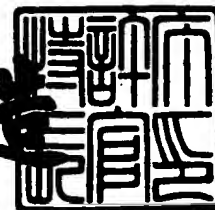
日本テキサス・インスツルメンツ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 7月 6日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 PNX12003

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H03F 3/00

【発明者】

【住所又は居所】 茨城県つくば市御幸ヶ丘 1 7 番地 日本テキサス・イン
スツルメンツ株式会社内

【氏名】 福田 保浩

【特許出願人】

【識別番号】 390020248

【住所又は居所】 東京都新宿区西新宿六丁目 2 4 番 1 号

【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【代表者】 生駒 俊明

【代理人】

【識別番号】 100086564

【弁理士】

【氏名又は名称】 佐々木 聖孝

【手数料の表示】

【予納台帳番号】 034290

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9206516

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 駆動回路

【特許請求の範囲】

【請求項 1】 高入力インピーダンスと低出力インピーダンスを有し、入力端子と出力端子との間に増幅部を備え、前記出力端子に得られる出力信号の電圧を前記入力端子に入力される入力信号の電圧に一致させるように動作する駆動回路において、

所定の電圧を有する入力信号が前記入力端子に入力されてから前記出力端子に得られる出力信号の電圧が前記所定電圧付近のレベルに到達する頃に、前記入力端子と前記出力端子とを電氣的に短絡させるとともに前記増幅部をオフにする駆動回路。

【請求項 2】 第 1 および第 2 の信号を差動入力する差動入力部と、
電氣的負荷に接続され、前記差動入力部の出力信号を増幅して前記負荷に供給する出力部と、

前記出力部より得られる出力信号を前記差動入力部に前記第 2 の信号として帰還させる帰還回路と、

所定の電圧を有する入力信号が前記第 1 の信号として前記差動入力部に入力されてから前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達する頃に、前記入力信号を前記差動入力部および出力部に対してバイパスした回路を通して前記負荷に供給するバイパス制御手段と、

前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達する頃に前記差動入力部および／または前記出力部をオフにする動作制御手段とを有する駆動回路。

【請求項 3】 前記バイパス回路が前記帰還回路からなる請求項 2 に記載の駆動回路。

【請求項 4】 前記バイパス制御手段が、
前記差動入力部の前記第 1 および第 2 の信号をそれぞれ入力する第 1 および第 2 の入力端子の間に接続された開閉スイッチと、

前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達する前は前記

スイッチを開状態に保持し、前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達した後は前記スイッチを閉状態に切り換えるスイッチ制御手段とを含む請求項 3 に記載の駆動回路。

【請求項 5】 前記差動入力部および／または前記出力部が定電流源回路を含み、

前記動作制御手段が、前記出力部からの出力信号の電圧が前記所定電圧付近のレベルに到達する前は前記定電流源回路をオン状態に保持し、前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達した後は前記定電流源回路をオフ状態に切り換える定電流源制御手段を含む請求項 2 ～ 4 のいずれかに記載の駆動回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、電氣的負荷を電圧駆動する駆動回路に係り、特に電圧フォロア型の駆動回路に関する。

【 0 0 0 2 】

【従来の技術】

この種の駆動回路の適用例として、多階調表示を行う薄膜トランジスタ型液晶ディスプレイ（TFT-LCD）の信号線駆動回路がある。

【 0 0 0 3 】

図 5 に、TFT 液晶パネルの基本的な回路構成（一部）を示す。この種の液晶パネルは、複数本のゲート線… Y_{i-1} , Y_i , Y_{i+1} …と複数本の信号線… X_{j-1} , X_j , X_{j+1} …とをマトリクス状に交差配置し、各交差点の画素に透明導電膜からなる 1 個の画素電極 P と 1 個の薄膜トランジスタ TFT を配置してなる。各画素電極 P と対向電極 COM と両者の間に挟まれた液晶 Q によって 1 画素分の信号蓄積容量 CL が構成される。

【 0 0 0 4 】

各列（たとえば j 列）においては、全ての画素電極… $P_{i-1,j}$, $P_{i,j}$ …が、それぞれ対応する薄膜トランジスタ… $TFT_{i-1,j}$, $TFT_{i,j}$ …を介して各列

の信号線 X_j に電氣的に共通接続されている。各行（たとえば i 行）においては、その行の全ての薄膜トランジスタ… $TFT_{i,j-1}$, $TFT_{i,j}$, $TFT_{i,j+1}$ …の制御端子が共通のゲート線 Y_i に電氣的に接続されている。

【 0 0 0 5 】

ゲート線… Y_{i-1} , Y_i , Y_{i+1} …は、ゲート線ドライバ（図示せず）により 1 フレーム期間（1 V）内に通常は線順次走査で 1 行（1 ライン）ずつ選択されてアクティブ状態に駆動される。ゲート線たとえば Y_i がアクティブ状態つまり H レベルになると、そのライン（ i 行）上の全ての薄膜トランジスタ… $TFT_{i,j-1}$, $TFT_{i,j}$ …がオンする。これと同期して、各列の信号線駆動部（図示せず）より i 行上の全ての画素に対するアナログの階調電圧がそれぞれ出力され、これらの階調電圧は各列の信号線… X_{j-1} , X_j …およびオン状態の薄膜トランジスタ… $TFT_{i,j-1}$, $TFT_{i,j}$ …を介してそれぞれ対応する画素電極… $P_{i,j-1}$, $P_{i,j}$ …に印加（書き込み）される。この後、次の（ $i+1$ ）行において、ゲート線 Y_{i+1} が選択され、上記と同様の動作が行われる。 i 行においては、薄膜トランジスタ… $TFT_{i,j-1}$, $TFT_{i,j}$ …がオフ状態になることで、各画素に書き込まれた電荷は逃げ道を失い、各電極… $P_{i,j-1}$, $P_{i,j}$, …の階調電圧は次の選択時間まで保持される。

【 0 0 0 6 】

図 6 に、この TFT 液晶パネルの 1 本分の信号線 X_j を駆動するための信号線駆動部の要部の構成を示す。

【 0 0 0 7 】

この 1 チャンネル分の信号線駆動部 1 0 0 において、データラッチ回路 1 0 2 には、1 ライン周期で与えられるタイミングパルス TP に応動して 1 画素分の入力画像データ DX が取り込まれる。画像データ DX は、そのビット数 n で表現可能な 2^n 個の表示階調の中のいずれか 1 つをそのデータ値（ d_0, d_1, \dots, d_{n-1} ）で指定する階調データである。

【 0 0 0 8 】

ラッチ回路 1 0 2 に取り込まれた画像データ DX は、レベル変換回路 1 0 4 でたとえば 3 ボルト系から 1 0 ボルト系に電圧変換を受けたうえで DA コンバータ

106に入力される。

【0009】

DAコンバータ106には、全チャンネル共通のたとえば抵抗分圧回路からなる階調電圧発生回路108より、設定された全て(2^n 個)の表示階調にそれぞれ対応した電圧レベルを有する複数の正極性階調電圧 $V_0 \sim V_{k-1}$ および負極性階調電圧 $V'_{k-1} \sim V'_0$ ($k = 2^n$) が供給される。

【0010】

DAコンバータ106には、コントローラ(図示せず)より1ライン(水平走査期間H)毎に階調電圧の極性を反転させるための交流化信号または反転制御信号RVも与えられる。DAコンバータ106は、レベル変換回路104より入力した1画素分の画像データDXをデコードして、その画像データDXの表す表示階調に対応した電圧レベルを有する階調電圧 V_j , V'_j のうちの反転制御信号RVの論理値に応じた方を出力するように構成されている。たとえば、RVがHレベルのときは正極性の階調電圧 V_j を出力し、RVがLレベルのときは負極性の階調電圧 V'_j を出力する。このように、DAコンバータ106は実質的にはデコード回路であるが、デジタルデータをアナログ電圧に変換するという意味で、DAコンバータとしている。

【0011】

電圧フォロア(駆動回路)110は、演算増幅器からなり、正極性の階調電圧を入力するときはソース状態で動作し、負極性の階調電圧を入力するときはシンク状態で動作して、入力電圧に等しい出力電圧を出力する。電圧フォロア110より出力された階調電圧 V_j は、出力パッド112を介して対応する列の信号線 X_j に供給される。

【0012】

図7に、上記構成を有する1チャンネル分の信号線駆動部100の作用を示す。図示の例では、TFT液晶パネル(図5)内でi行のゲート線 Y_i が選択されたときは、信号線駆動部100より正極性の階調電圧 $V_{i,j}$ が信号線 X_j 上に出力される。これにより、この正極性の階調電圧 $V_{i,j}$ がオン状態の薄膜トランジスタ $TFT_{i,j}$ を介して画素電極 $P_{i,j}$ に印加(書き込み)される。次に、($i+1$

) 行のゲート線 Y_{i+1} が選択されたときは、信号線駆動部 100 より負極性の階調電圧 $V_{i+1,j}$ が信号線 X_j 上に出力される。この結果、この負極性の階調電圧 $V_{i+1,j}$ がオン状態の薄膜トランジスタ $TFT_{i+1,j}$ を介して画素電極 $P_{i+1,j}$ に印加（書き込み）される。

【0013】

各ライン毎の動作において、タイミングパルス TP の始端で該当の入力画像データ DX がラッチ回路 102 取り込まれると、その直後に該入力画像データ DX の値に対応する階調電圧 V_j が DA コンバータ 106 より電圧フォロア 110 に入力される。この時点まで、信号線 X_j の電圧は直前のラインの画素に対して給電された逆極性の階調電圧付近に保たれている。

【0014】

電圧フォロア 110 は、非反転入力端子 (+) に DA コンバータ 106 からの新たな階調電圧 V_j を入力すると、出力電圧つまり信号線電圧を反転入力端子 (-) に負帰還しつつ入力階調電圧 V_j にほぼ一致するまで立ち上げるかまたは立ち下げる（つまり負荷の信号線 X_j を電圧駆動する）。この出力電圧または信号線電圧の立ち上げ／立ち下げ中は、電圧フォロア 110 内の各部で動作電流 I_d が流れ、特に出力部においては立ち上げ用のチャージ電流または立ち下げ用のディスチャージ電流が流れる。そして、出力電圧（信号線電圧）が入力階調電圧 V_j のレベル（目標値）付近に到達してからも、電圧フォロア 110 内では定電流源回路等が一定の電流 I_o を流し続ける。

【0015】

【発明が解決しようとする課題】

上記のような $TFT-LCD$ において、高精度の階調表示を行うためには、各チャンネルの信号線駆動部が該当の各画素電極 P に画像データ DX の指示する通りの階調電圧を書き込む必要があり、そのためには電圧フォロア 110 が DA コンバータ 106 からの階調電圧を正しく出力側の信号線 X 上に伝えなければならない。

【0016】

しかしながら、電圧フォロア 110 を構成する演算増幅器においては、入力側

や増幅器内部（特に差動入力部）に様々なオフセットがつきものであり、それらのオフセットが原因で出力電圧の到達値が目標値つまり入力信号の電圧からずれることが多い。そのようなオフセットを補償または低減するためにオフセット調整回路を設けることもよく行われているが、調整にも限度がある。特に、TFT-LCDの信号線ドライバは1チップに数百個以上の電圧フォロアまたは駆動回路を内蔵するものであり、それら多数の駆動回路間のばらつきをなくするのは容易ではない。また、演算増幅器を構成するトランジスタの特性改善もオフセット解決法の1つではあるが、高度で複雑なプロセスを要するうえ、コストが高くついたり、トランジスタサイズが大きくなり（したがってチップ面積が大きくなり）好ましくない。

【0017】

また、従来の電圧フォロア110では、出力電圧または信号線電圧が目標値付近に到達した後も、内部の定電流源回路による定電流が各部を流れ続けるため、電圧フォロア内全体で一定の電流（アイドルリングースタンバイ電流） I_0 を消費している。ドライバ全体の消費電流は相当なものになる。

【0018】

本発明は、かかる問題点に鑑みてなされたもので、オフセットの影響を簡単かつ効率的に補償または回避して出力信号の電圧を目標値である入力信号の電圧に正確に一致させられるようにした駆動回路を提供することを目的とする。

【0019】

本発明の別の目的は、消費電流を大幅に低減するようにした駆動回路を提供することにある。

【0020】

【課題を解決するための手段】

上記の目的を達成するために、本発明の第1の駆動回路は、高入力インピーダンスと低出力インピーダンスを有し、入力端子と出力端子との間に増幅部を備え、前記入力端子に入力される入力信号とほぼ等しい電圧を有する出力信号を前記出力端子より出力する駆動回路において、所定の電圧を有する入力信号が前記入力端子に入力されてから前記出力端子に得られる出力信号の電圧が前記所定電圧

付近のレベルに到達する場合に、前記入力端子と前記出力端子とを電氣的に短絡させるとともに前記増幅部をオフにする構成とした。

【 0 0 2 1 】

本発明の第 2 の駆動回路は、第 1 および第 2 の信号を差動入力する差動入力部と、電氣的負荷に接続され、前記差動入力部の出力信号を増幅して前記負荷に供給する出力部と、前記出力部より得られる出力信号を前記差動入力部に前記第 2 の信号として帰還させる帰還回路と、所定の電圧を有する入力信号が前記第 1 の信号として前記差動入力部に入力されてから前記出力部の出力信号の電圧が前記所定電圧付近に到達する場合に、前記入力信号を前記差動入力部および出力部に対してバイパスした回路を通して前記負荷に供給するバイパス制御手段と、前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達する場合に前記差動入力部および／または前記出力部をオフにする動作制御手段とを有する構成とした。

【 0 0 2 2 】

本発明の第 2 の駆動回路において、好ましい一態様として、前記バイパス回路が前記帰還回路から構成され、前記バイパス制御手段が、前記差動入力部の前記第 1 および第 2 の信号をそれぞれ入力する第 1 および第 2 の入力端子の間に接続された開閉スイッチと、前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達する前は前記スイッチを開状態に保持し、前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達した後は前記スイッチを閉状態に切り換えるスイッチ制御手段とを含む構成であってよい。

【 0 0 2 3 】

あるいは別の好ましい態様として、前記差動入力部および／または前記出力部が定電流源回路を含み、前記動作制御手段が、前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達する前は前記定電流源回路をオン状態に保持し、前記出力部の出力信号の電圧が前記所定電圧付近のレベルに到達した後は前記定電流源回路をオフ状態に切り換える定電流源制御手段を含む構成であってよい。

【 0 0 2 4 】

【発明の実施の形態】

以下、図 1～図 4 を参照して本発明の好適な実施形態を説明する。

【 0 0 2 5 】

図 1 に、本発明の駆動回路を適用したアクティブマトリクス方式のフルカラー TFT-LCD の構成を模式的に示す。

【 0 0 2 6 】

この TFT-LCD は、たとえば上記した図 5 のものと同様の構成を有する TFT 液晶パネル 10 と、この液晶パネル 10 のゲート線 Y_1, Y_2, \dots を駆動するための並列接続されたゲート線ドライバ G_1, G_2, \dots と、液晶パネル 10 の信号線 X_1, X_2, \dots を駆動するための並列接続された信号線（ソース）ドライバ S_1, S_2, \dots と、各部の動作を制御するコントローラ 12 と、表示すべき画像信号に対して所要の信号処理を行う画像信号処理回路 14 と、フルカラー（多階調表示）を実現するための多階調の電圧を発生する階調電圧発生回路 16 とから構成される。

【 0 0 2 7 】

画像信号処理回路 14 は、各画素の表示の階調を表すデジタルの画像データ DX を各信号線ドライバ S_1, S_2, \dots に供給する。たとえば 64 階調の場合は、 R, G, B の各画素につき 6 ビットの画像データ DX が画像信号処理回路 14 より各信号線ドライバ S_1, S_2, \dots に与えられる。コントローラ 12 は、水平同期信号 HS および垂直同期信号 VS に同期した種々の制御信号またはタイミング信号を各ゲート線ドライバ G_1, G_2, \dots および各信号線ドライバ S_1, S_2, \dots に供給する。

【 0 0 2 8 】

階調電圧発生回路 16 は、液晶パネル 10 の V （電圧）- T （透過率）特性に基づいて表示の多階調に対応した電圧レベルをそれぞれ有する多段階の階調電圧を各信号線ドライバ S_1, S_2, \dots に供給する。コモン一定駆動法によって液晶交流電圧を印加する場合は、たとえば図 6 と同様の分圧抵抗回路（106）で構成されてよく、正極性の階調電圧 $V_0 \sim V_{k-1}$ と負極性の階調電圧 $V'_{k-1} \sim V'_0$ とを発生する。

【 0 0 2 9 】

図 2 に、信号線ドライバ S の要部の回路構成を示し、より詳細には各隣合う 2 つのチャンネル分の信号線駆動部の構成を示す。図示の隣合う 2 つのチャンネル

分の信号線駆動部 2 0 L, 2 0 R は、液晶パネル 1 0 の隣合う第 j 列および第 ($j + 1$) 列の信号線 X_j, X_{j+1} を駆動するものとする。

【 0 0 3 0 】

図 2 に示すように、各隣合う 2 つのチャンネル分の信号線駆動部 2 0 L, 2 0 R は、一对の第 1 データラッチ回路 2 2 L, 2 2 R、一对の第 1 切換回路 2 4 L, 2 4 R、一对の第 2 データラッチ回路 2 6 L, 2 6 R、一对のレベル変換回路 2 8 L, 2 8 R、一对の D/A コンバータ 3 0 L, 3 0 R、一对の電圧フォロア（駆動回路）3 2 L, 3 2 R、一对の第 2 切換回路 3 4 L, 3 4 R および一对の出力パッド 3 6 L, 3 6 R から構成されている。

【 0 0 3 1 】

左側および右側の第 1 データラッチ回路 2 2 L, 2 2 R には、所定の周期たとえばライン周期で、所定のビット数を有する 1 画素分の画像データ DX_j, DX_{j+1} がそれぞれ取り込まれる。

【 0 0 3 2 】

左側の第 1 データラッチ回路 2 2 L の出力端子は、各ビット毎に、左側の第 1 切換回路 2 4 L の一方（左側）の入力端子に接続されるとともに、右側の第 2 切換回路 2 4 R の他方（右側）の入力端子に接続されている。右側の第 1 データラッチ回路 2 2 R の出力端子は、各ビット毎に、右側の第 1 切換回路 2 4 R の一方（左側）の入力端子に接続されるとともに左側の第 1 切換回路 2 4 L の他方（右側）の入力端子に接続されている。

【 0 0 3 3 】

左側および右側の第 1 切換回路 2 4 L, 2 4 R は、コントローラ（図示せず）からの交流化信号 ST により一方（左側）の入力端子と他方（右側）の入力端子とに交互に切り換えられる。左側および右側の第 1 切換回路 2 4 L, 2 4 R の出力端子は、それぞれ左側および右側の第 2 データラッチ回路 2 6 L, 2 6 R の入力端子に接続されている。

【 0 0 3 4 】

左側および右側の第 2 データラッチ回路 2 6 L, 2 6 R は、交流化信号 ST に同期したタイミングで左側および右側の第 1 切換回路 2 4 L, 2 4 R を介して左

側の第1データラッチ回路22Lもしくは右側の第1データラッチ回路22Rのいずれかより1画素分の画像データを取り込むようになっている。左側および右側の第2データラッチ回路26L, 26Rの出力端子は、それぞれ左側および右側のレベル変換回路28L, 28Rを介して左側および右側のDAコンバータ30L, 30Rの入力端子に接続されている。

【0035】

レベル変換回路28L, 28Rは、DAコンバータ30L, 30R内の回路素子がコモン一定駆動法による正極性と負極性の双方にわたる階調電圧を扱えるように、画像データの論理電圧（たとえば3V）を高い電圧（たとえば10V）に変換する。

【0036】

左側のDAコンバータ30Lには、階調電圧発生回路28より正極性の全て（ k 個）の階調電圧 $V_0 \sim V_{k-1}$ が供給される。一方、右側のDAコンバータ30Rには階調電圧発生回路28より負極性の全て（ k 個）の階調電圧 $V'_{k-1} \sim V'_0$ が供給される。

【0037】

たとえば、コモン一定駆動法において、対向電極の電圧を5Vに固定し、各画素電極に正極性の階調電圧（5～10ボルト）および負極性の階調電圧（5～0ボルト）を交互に印加する場合、正極性の最大階調電圧 V_{k-1} は10ボルトに最も近い値に設定され、負極性の最大階調電圧 V'_{k-1} は0ボルトに最も近い値に設定され、両極性の最小階調電圧 V_0, V'_0 は5ボルト付近に設定される。

【0038】

左側のDAコンバータ30Lは、左側のレベル変換回路28Lより入力した1画素分の画像データをデコードし、その画像データの表す表示階調に対応した電圧レベルを有する正極性の階調電圧 V_x を選択して出力するように構成されている。右側のDAコンバータ30Rは、右側のレベル変換回路28Rより入力した1画素分の画像データをデコードし、その画像データの表す表示階調に対応した電圧レベルを有する負極性の階調電圧 V'_x を選択して出力するように構成されている。左側および右側のDAコンバータ30L, 30Rの出力端子はそれぞれ左

側および右側の電圧フォロア 3 2 L, 3 2 R の入力端子に接続されている。

【 0 0 3 9 】

左側の電圧フォロア 3 2 L は、高入力インピーダンスと低出力インピーダンスを有する演算増幅器からなり、正極性電圧の範囲内でソース状態で動作するように構成されている。この左側の電圧フォロア 3 2 L の出力端子は、左側の第 2 切換回路 3 4 L の一方（左側）の入力端子に接続されるとともに、右側の第 2 切換回路 3 4 R の他方（右側）の入力端子に接続されている。

【 0 0 4 0 】

右側の電圧フォロア 3 2 R は、高入力インピーダンスと低出力インピーダンスを有する演算増幅器からなり、負極性電圧の範囲内でシンク状態で動作するように構成されている。この右側の出力アンプ 3 2 R の出力端子は、右側の第 2 切換回路 3 4 R の一方（左側）の入力端子に接続されるとともに、左側の第 2 切換回路 3 4 L の他方（右側）の入力端子に接続されている。

【 0 0 4 1 】

左側および右側の第 2 切換回路 3 4 L, 3 4 R の出力端子は、それぞれ左側および右側の出力パッド 3 6 L, 3 6 R を介して各対応するチャンネルの信号線 X_j, X_{j+1} （図示せず）に接続されている。

【 0 0 4 2 】

この実施形態では、各々の電圧フォロア 3 2 L, 3 2 R を構成する演算増幅器において、反転入力端子（-）と出力端子とをスルーの負帰還回路 F B を介して相互接続しているのは通常どおりであるが、特徴的な構成として非反転入力端子（+）と反転入力端子（-）との間に開閉スイッチ 4 0 L, 4 0 R を接続している。この開閉スイッチ 4 0 L, 4 0 R は、コントローラ 1 2（図 1）からの制御信号 S W によってオン（閉）／オフ（開）制御される。

【 0 0 4 3 】

さらに、各電圧フォロア 3 2 L, 3 2 R を構成する演算増幅器において、この演算増幅器に内蔵されている一部または全部の定電流源回路をオン（アクティブ）状態またはオフ（非アクティブ）状態のいずれかに選択的に切り替えられるように構成している。

【0044】

より詳細には、各電圧フォロア32L、32Rに内蔵される所定の定電流源回路に対して、全チャンネル共通の電源回路（図示せず）により、各定電流源回路をオン（アクティブ）状態にするためのアクティブ動作のバイアス電圧（VB_n、VB_p）だけでなく、各定電流源回路をオフ（非アクティブ）状態にするための動作停止用のバイアス電圧（たとえばV_{ss}、V_{dd}）をも用意している。そして、コントローラ12からの制御信号CAにより切換スイッチ42L、42Rを切替制御することで、それら所定の定電流源回路に与えるバイアス電圧としてアクティブ動作のもの（VB_n、VB_p）または動作停止用のもの（V_{ss}、V_{dd}）のいずれかを択一的に選択するようになっている。

【0045】

図3に、この実施形態における電圧フォロア32L、32Rの回路構成例を示す。これらの電圧フォロア32L、32Rは、差動入力部44L、44Rと出力部46L、46Rとから構成される。

【0046】

左側の電圧フォロア32Lにおいて、差動入力部44Lは、差動接続された一対のNチャンネルMOSトランジスタ（以下、NMOSトランジスタと称する。）50L、52Lと、両NMOSトランジスタ50L、52Lのソース端子に接続された定電流源回路用のNMOSトランジスタ58Lと、両NMOSトランジスタ50L、52Lのドレイン端子に接続された一対のPチャンネルMOSトランジスタ（以下、PMOSトランジスタと称する。）54L、56Lからなる電流ミラー回路とで構成される。

【0047】

差動対のNMOSトランジスタ50L、52Lにおいて、一方のNMOSトランジスタ50Lのゲート端子は非反転入力端子（+）として入力端子INに接続され、他方のNMOSトランジスタ52Lのゲート端子は反転入力端子（-）としてスルーの負帰還回路FBを介して出力端子OUTに接続され、両ゲート端子間にNMOSトランジスタからなる開閉スイッチ40Lが接続される。定電流源のNMOSトランジスタ58Lは、ソース端子が負極側の電源電圧端子V_{ss}に接

続され、ゲート端子が切換スイッチ 4 2 L を介してバイアス電圧 V_{Bn} または V_{ss} のいずれか一方に接続される。

【 0 0 4 8 】

出力部 4 6 L は、定電流源回路用の NMOS トランジスタ 6 0 L と、駆動用の PMOS トランジスタ 6 2 L とから構成される。定電流源の NMOS トランジスタ 6 0 L は、ソース端子が負極側の電源電圧端子 V_{ss} に接続され、ドレイン端子が出力端子 OUT に接続され、ゲート端子が切換スイッチ 4 2 L を介してバイアス電圧 V_{Bn} または V_{ss} のいずれか一方に接続される。駆動用の PMOS トランジスタ 6 2 L は、ソース端子が正極側の電源電圧端子 V_{dd} に接続され、ドレイン端子が出力端子 OUT に接続され、ゲート端子が差動入力部の出力端子（ノード）NL に接続される。上記の構成において、差動入力部 4 4 L は差動増幅機能を有し、出力部 4 6 L は出力増幅機能を有している。

【 0 0 4 9 】

なお、切換スイッチ 4 2 L は、たとえばトランスミッションゲートからなるアナログスイッチで構成することができる。

【 0 0 5 0 】

この電圧フォロア 3 2 L は、各定電流源回路（5 8 L，6 0 L）にバイアス電圧 V_{Bn} を供給されているときは、ソース型の電圧フォロアとして動作する。

【 0 0 5 1 】

すなわち、入力端子 IN の電圧と出力端子 OUT の電圧とが均衡している状態から、入力端子 IN の電圧が上昇すると、差動入力部 4 4 L において NMOS トランジスタ 5 0 L のドレイン電流が増加して、そのぶん NMOS トランジスタ 5 2 L のドレイン電流が減少し、ノード NL の電位が低下する。これにより、出力部 4 6 L においてソース用の PMOS トランジスタ 6 2 L のドレイン電流が増加し、負荷（信号線 X）を充電する。出力端子 OUT の電圧が入力端子 IN の電圧に等しくなると、各部の状態が安定する。

【 0 0 5 2 】

入力端子 IN の電圧と出力端子 OUT の電圧とが均衡している状態から、入力端子 IN の電圧が低下すると、各部で上記と反対の動作が行われ、ソース用の P

MOSトランジスタ62Lのドレイン電流が減少し、定電流源のNMOSトランジスタ60Lのドレイン電流が負荷（信号線X）の放電電流となる。出力端子OUTの電圧が入力端子INの電圧に等しくなると、各部の状態が安定する。

【0053】

かかる電圧フォロア32Lにおいて、各定電流源回路（58L，60L）に対するバイアス電圧がVBnからVssに変わると、各定電流源回路（58L，60L）はオフ状態となり、電流を流さなくなる。差動入力部44Lでは、定電流源回路58Lがオフすることで、出力端子（ノード）NLの電位がほぼ電源電圧Vddのレベルまで上昇する。これにより、出力部46Lでは、駆動トランジスタ62Lもオフ状態となる。

【0054】

右側の電圧フォロア32Rは、上記した左側の電圧フォロア32Lにおいて各NMOSトランジスタをPMOSトランジスタに、各PMOSトランジスタをNMOSトランジスタにそれぞれ置き換えた構成を有している。

【0055】

特に注記すべき構成としては、差動対のNMOSトランジスタ50R，52Rにおいて、一方のPMOSトランジスタ50Rのゲート端子は非反転入力端子（+）として入力端子INに接続され、他方のPMOSトランジスタ52Rのゲート端子は反転入力端子（-）としてスルーの負帰還回路FBを介して出力端子OUTに接続され、両ゲート端子間にPMOSトランジスタからなる開閉スイッチ40Rが接続される。また、定電流源のPMOSトランジスタ58Rは、ソース端子が正極側の電源電圧端子Vddに接続され、ゲート端子が切換スイッチ42Rを介してバイアス電圧VBpまたはVddのいずれか一方に接続される。また、出力部46Rにおいて、定電流源のPMOSトランジスタ60Rは、ソース端子が正極側の電源電圧端子Vddに接続され、ドレイン端子が出力端子OUTに接続され、ゲート端子が切換スイッチ42Rを介してバイアス電圧VBpまたはVddのいずれか一方に接続される。

【0056】

この電圧フォロア32Rは、各定電流源回路（58R，60R）にバイアス電

圧 V_{Bp} を供給されているときは、シンク型の電圧フォロアとして上記と同様の仕組みで動作する。そして、各定電流源回路 (58R, 60R) に対するバイアス電圧が V_{Bp} から V_{dd} に変わると、各定電流源回路 (58R, 60R) はオフ状態となり、電流を流さなくなる。差動入力部 44R では、定電流源回路 58R がオフすることで、出力端子 (ノード) NR の電位がほぼ電源電圧 V_{ss} のレベルまで低下する。出力部 46R では、定電流源回路 60R がオフするだけでなく、駆動トランジスタ 62R もオフ状態となる。

【0057】

次に、この実施形態における信号線ドライバの動作を説明する。この信号線ドライバを含む TFT-LCD においては、ゲート線ドライバ $G1, G2, \dots$ により液晶パネル 10 のゲート線 $Y1, Y2, \dots$ が 1 フレーム期間内に通常は線順次走査で 1 ライン (行) ずつ選択されてアクティブ状態に駆動される。各ゲート線 Yj が駆動される度に、各信号線ドライバでは、各チャンネルの出力パッド 36 より当該ライン上の各対応する画素電極に印加すべき階調電圧 Vj が出力される。

【0058】

いま、 i 行のゲート線 Yi が駆動される時、各第 1 切換回路 24L, 24R および各第 2 切換回路 34L, 34R がそれぞれ一方 (左側) の入力端子に切り換わっているとする。この時、第 1 データラッチ回路 22L, 22R には、液晶パネル 10 内の i 行 j 列および i 行 ($j+1$) 列にそれぞれ位置する 2 つの画素の表示階調を表す画像データ $DX_{i,j}$, $DX_{i,j+1}$ が格納されている。

【0059】

この場合、タイミングパルス TP または交流化信号 ST のタイミングに応動して左側の第 1 データラッチ回路 22L より 1 画素分の画像データ $DX_{i,j}$ が左側の第 1 切換回路 24L を介して左側の第 2 データラッチ回路 26L に転送されると同時に、右側の第 1 データラッチ回路 22R より 1 画素分の画像データ $DX_{i,j+1}$ が右側の第 1 切換回路 26R を介して右側の第 2 データラッチ回路 26R に転送される。

【0060】

左側および右側の第 2 データラッチ回路 26L, 26R に取り込まれた 1 画素

分の画像データ $DX_{i,j}$, $DX_{i,j+1}$ は、それぞれ左側および右側のレベル変換回路 28L, 28R を介して左側および右側の DA コンバータ 30L, 30R に入力される。

【0061】

これにより、左側の DA コンバータ 30L から、画像データ $DX_{i,j}$ の表す表示階調に対応した電圧レベルを有する正極性の階調電圧 $V_{i,j}$ が出力される。一方、右側の DA コンバータ 30R からは、画像データ $DX_{i,j+1}$ の表す表示階調に対応した電圧レベルを有する負極性の階調電圧 $V_{i,j+1}$ が出力される。

【0062】

左側の DA コンバータ 30L より出力された正極性の階調電圧 $V_{i,j}$ は、左側の電圧フォロア 32L および第 2 切換回路 34L を介して左側の出力パッド 36L より信号線 X_j に出力され、この信号線 X_j に接続されている i 行の薄膜トランジスタ $TFT_{i,j}$ を介して画素電極 $P_{i,j}$ に印加される。

【0063】

一方、右側の DA コンバータ 30R より出力された負極性の階調電圧 $V_{i,j+1}$ は右側の電圧フォロア 32R および第 2 切換回路 34R を介して右側の出力パッド 36R より信号線 X_{j+1} に出力され、この信号線 X_{j+1} に接続されている i 行の薄膜トランジスタ $TFT_{i,j+1}$ を介して画素電極 $P_{i,j+1}$ に印加される。

【0064】

次に、 $(i+1)$ 行のゲート線 Y_{i+1} が駆動されると、これと同期して交流化信号 ST により各第 1 切換回路 24L, 24R および各第 2 切換回路 34L, 34R がそれぞれ他方（右側）の入力端子に切り換わる。

【0065】

これにより、左側の第 1 データラッチ回路 22L より信号線 X_i に対応した 1 画素分の画像データ $DX_{i+1,j}$ が右側の第 1 切換回路 24R を介して右側の第 2 データラッチ回路 26R に転送されると同時に、右側の第 1 データラッチ回路 22R より信号線 X_{i+1} に対応した 1 画素分の画像データ $DX_{i+1,j+1}$ が左側の第 1 切換回路 24L を介して左側の第 2 データラッチ回路 26L に転送される。

【0066】

左側および右側の第2データラッチ回路26L, 26Rに取り込まれた1画素分の画像データ $DX_{i+1,j+1}$, $DX_{i+1,j}$ は、それぞれ左側および右側のレベル変換回路28L, 28Rを介して左側および右側のDAコンバータ30L, 30Rに入力される。

【0067】

これにより、左側のDAコンバータ30Lからは、画像データ $DX_{i+1,j+1}$ の表す表示階調に対応した電圧レベルを有する正極性の階調電圧 $V_{i+1,j+1}$ が出力される。一方、右側のDAコンバータ30Rからは、画像データ $DX_{i+1,j}$ の表す表示階調に対応した電圧レベルを有する負極性の階調電圧 $V_{i+1,j}$ が出力される。

【0068】

左側のDAコンバータ30Lより出力された正極性の階調電圧 $V_{i+1,j+1}$ は、左側の電圧フォロア32Lおよび右側の第2切換回路34Rを介して右側の出力パッド36Rより信号線 X_{j+1} に出力され、この信号線 X_{j+1} に接続されている $(i+1)$ 行の薄膜トランジスタ $TFT_{i+1,j+1}$ を介して対応する画素電極 $P_{i+1,j+1}$ に印加される。

【0069】

一方、右側のDAコンバータ30Rより出力された負極性の階調電圧 $V_{i+1,j}$ は、右側の電圧フォロア32Rおよび左側の第2切換回路34Lを介して左側の出力パッド36Lより信号線 X_j に出力され、この信号線 X_j に接続されている $(i+1)$ 行の薄膜トランジスタ $TFT_{i+1,j}$ を介して対応する画素電極 $P_{i+1,j}$ に印加される。

【0070】

以後、上記した2ライン分の動作が繰り返される。これにより、液晶パネル10のY方向において1画素毎に階調電圧の極性が反転する。また、X方向においても1画素毎に（各隣接する2つの信号線 X_j, X_{j+1} の間で）階調電圧の極性が反転する。このように、隣合う信号線ないし画素電極で階調電圧の極性が反転することで、画素電極や対向電極等で流れる電流が隣同士で打ち消し合い、これによって表示品質の低下が抑えられる。

【 0 0 7 1 】

なお、各切換回路 2 4 L, 2 4 R, 3 4 L, 3 4 R は、交流化信号 S T により 1 フレーム毎にも切り換わる（すなわち各行のゲート線 Y_i が駆動される時の各切換回路 2 4 L, 2 4 R, 3 4 L, 3 4 R の位置がフレーム毎に反転する）ように制御される。このようなフレーム周期の反転により、コモン一定駆動法による電極電圧波形が得られる。

【 0 0 7 2 】

上記したように、この実施形態における信号線ドライバでは、各隣合う 2 つのチャンネル分の駆動部において、左側の D A コンバータ 3 0 L および電圧フォロア 3 2 L を正極性の階調電圧専用に構成するとともに右側の D A コンバータ 3 0 R および電圧フォロア 3 2 R を負極性の階調電圧専用に構成し、両 D A コンバータ 3 0 L, 3 0 R の前段に設けた第 1 切換回路 2 4 L, 2 4 R と両電圧フォロア 2 2 L, 2 2 R の後段に設けた第 2 切換回路 3 4 L, 3 4 R とを所定の周期たとえばライン周期かつフレーム周期で切り換えることにより、コモン一定駆動法とドット反転（1 画素毎の反転）とを実現している。

【 0 0 7 3 】

かかる信号線駆動方式においては、1 つの信号線 X を交互に駆動する両電圧フォロア 3 2 L, 3 2 R のオフセットが別個のものであるため、それぞれのオフセットを加え合わせたものが信号線 X に供給された場合には階調表示の誤差が倍増するおそれがある。

【 0 0 7 4 】

本実施形態では、両電圧フォロア 3 2 L, 3 2 R 回りの上記した構成および図 4 に示すような制御によって、この問題を簡単かつ効果的に解決している。

【 0 0 7 5 】

図 4 に示すように、各ライン毎の動作において、タイミングパルス T P の始端で当該ライン分の階調電圧が各 D A コンバータ 3 0 L, 3 0 R に与えられ、この時点から両電圧フォロア 3 2 L, 3 2 R の動作が開始される。なお、この動作開始時点で、両電圧フォロア 3 2 L, 3 2 R における開閉スイッチ 4 0 L, 4 0 R はオフ（開）状態にあり、両電圧フォロア 3 2 L, 3 2 R 内の定電流源回路（5

8, 60) に対してアクティブ動作のバイアス電圧 (V_{Bn} , V_{Bp}) が選ばれる。

【0076】

左側の電圧フォロア 32L は、DA コンバータ 30L より新たな正極性の階調電圧を入力端子 IN に入力し、出力端子側の負極性の出力電圧つまり信号線電圧を反転入力端子 (-) に負帰還しつつ、出力電圧を入力階調電圧 V のレベルまで立ち上げるようにソースモードの電圧駆動を行う。一方、右側の電圧フォロア 32R は、DA コンバータ 30R より新たな負極性の階調電圧を入力端子 IN に入力し、出力端子側の正極性の出力電圧つまり信号線電圧を反転入力端子 (-) に負帰還しつつ、出力電圧を入力階調電圧 V のレベルまで立ち下げるようにシンクモードの電圧駆動を行う。

【0077】

そして、タイミングパルス TP の始端から所定時間 T_c が経過した時点で、コントローラ 12 は、両電圧フォロア 32L、32R における開閉スイッチ 40L、40R をオン (閉) 状態に切り換えると同時に、切換スイッチ 42L、42R を制御して両電圧フォロア 32L、32R 内の定電流源回路 (58, 60) に対するバイアス電圧を動作停止用の電圧 (V_{ss} , V_{dd}) に切り換える。この時間 T_c は、両電圧フォロア 32L、32R において出力電圧が入力階調電圧のレベルに到達する頃合のタイミングに設定されてよい。出力電圧の立ち上がり／立ち下がり速度 (時間) は主として負荷を含む回路のインピーダンスや時定数等に規定されるため、全ての入力階調電圧に共通の切替時間 T_c を設定できる。

【0078】

両電圧フォロア 32L、32R においては、動作停止用のバイアス電圧 (V_{ss} , V_{dd}) に切り換えることによって、各定電流源回路 (58, 60) がオフ状態となり、出力部 62L、62R の出力が出力端子 OUT から電氣的に遮断される。一方、開閉スイッチ 40L、40R がオン (閉) 状態になることで、DA コンバータ 30L、30R からの入力階調電圧は電圧フォロア 32L、32R のスルーの負帰還回路 FB を通って出力端子 OUT より負荷の信号線に供給される。この時点では、信号線の電圧が目標値つまり入力階調電圧付近のレベルに到達して

いるため、DAコンバータ30L、30Rより出力される階調電圧が信号線側のインピーダンスによって受ける影響は少ない。

【0079】

このように、各電圧フォロア32L、32Rの出力電圧が目標値である入力階調電圧付近のレベルに到達した後は、各電圧フォロア32L、32Rの動作は停止して各信号線から電氣的に遮断され、代わりにDAコンバータ30L、30Rからの階調電圧が各負帰還回路FBを経由して各信号線に供給される。これにより、各電圧フォロア32L、32Rにオフセットがあるかないかに拘わらず、各画素電極に所望の階調電圧が正確な値で書き込まれる。なお、図4では図示省略しているが、各ラインのサイクルにおいて、ゲート線アクティブ時間は次のタイミングパルスTPの直前に終了し、その時点の書き込み階調電圧が該当画素電極にサンプリングないし保持される。

【0080】

また、両電圧フォロア32L、32Rにおいては、各定電流源回路(58, 60)がオフ状態になると、各部で電流が流れなくなり、消費電流はほとんど零近くまで減少する。このように、アイドルリングースタンバイ電流(I_o)が流れないため、消費電流が少ない。

【0081】

上記した実施形態では、各電圧フォロア32L、32Rの負帰還回路FBをバイパス回路に利用している。しかし、出力端子OUTに接続される専用のバイパス回路を設け、このバイパス回路と入力端子INとの間に開閉スイッチ40を接続する構成も可能である。また、図6の信号線駆動部のようなソースモードおよびシンクモード兼用型の電圧フォロアにも本発明を適用することができる。

【0082】

上記した実施形態の電圧フォロアでは、所定の電圧を有する入力信号を入力端子INに入力してから一定時間 T_c が経過した時点で入力端子INと出力端子OUTとを短絡すると同時に定電流源回路をオン状態からオフ状態に切り換えるようにした。しかし、入力信号の電圧レベルに応じて切換時点を可変設定することも可能である。

【 0 0 8 3 】

あるいは、入力信号の電圧（またはその付近に設定された電圧）と出力信号の電圧とを比較するコンパレータを設け、コンパレータの出力が変わった時を切換時点とすることも可能である。

【 0 0 8 4 】

また、入力端子 I N を出力端子 O U T にスルーで接続するタイミングと、定電流源回路をオン状態からオフ状態に切り替えるタイミングとをずらす（通常は前者のタイミングを後者のタイミングと同じかそれよりも後にしてよい）ことも可能である。

【 0 0 8 5 】

本発明は、上記実施形態における各部の構成に限定されるものではなく、種々の変形が可能である。特に、上記実施形態における電圧フォロア 3 2 L、3 2 R の構成は一例であり、演算増幅器または電圧フォロアの任意の構成に本発明を適用できる。さらに、本発明の駆動回路は、信号線駆動回路以外にも様々なアプリケーションに適用可能である。

【 0 0 8 6 】

【発明の効果】

以上説明したように、本発明の駆動回路によれば、オフセットの影響を簡単かつ効率的に補償または回避して出力信号の電圧を目標値である入力信号の電圧に正確に一致させることができるとともに、消費電流を大幅に少なくすることができる。

【図面の簡単な説明】

【図 1】

本発明の駆動回路を適用したアクティブマトリクス方式のフルカラー T F T - L C D の構成を模式的に示す図である。

【図 2】

実施形態における信号線ドライバの要部の回路構成を示すブロック図である。

【図 3】

実施形態における電圧フォロアの回路構成を示す回路図である。

【図 4】

実施形態における信号線ドライバの作用を説明するための各部の波形を示す図である。

【図 5】

T F T 液晶パネルの基本的な回路構成（一部）を示す図である。

【図 6】

従来の駆動回路を含む信号線駆動部の要部の構成を示すブロック図である。

【図 7】

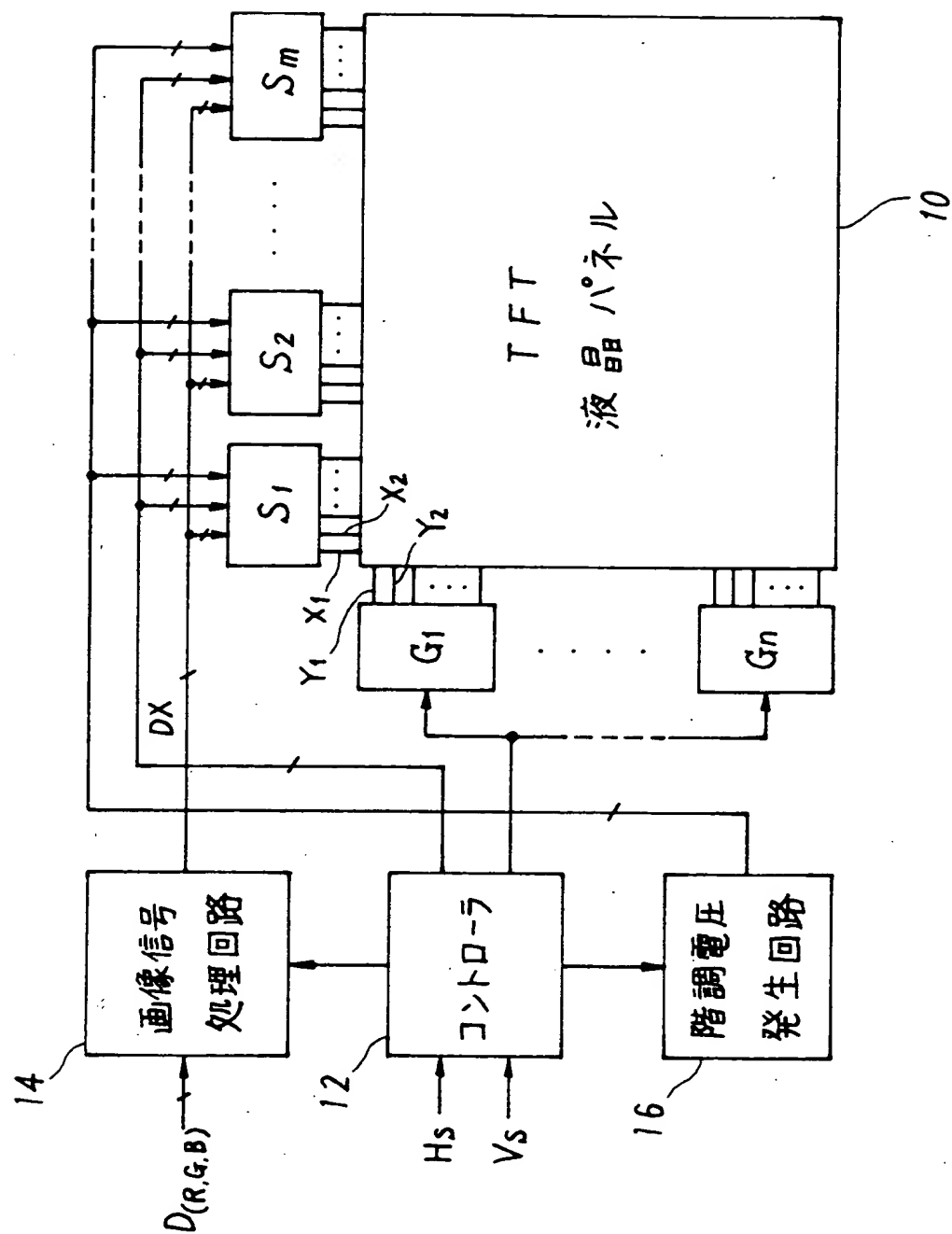
図 6 の信号線駆動部の作用を説明するための各部の波形を示す図である。

【符号の説明】

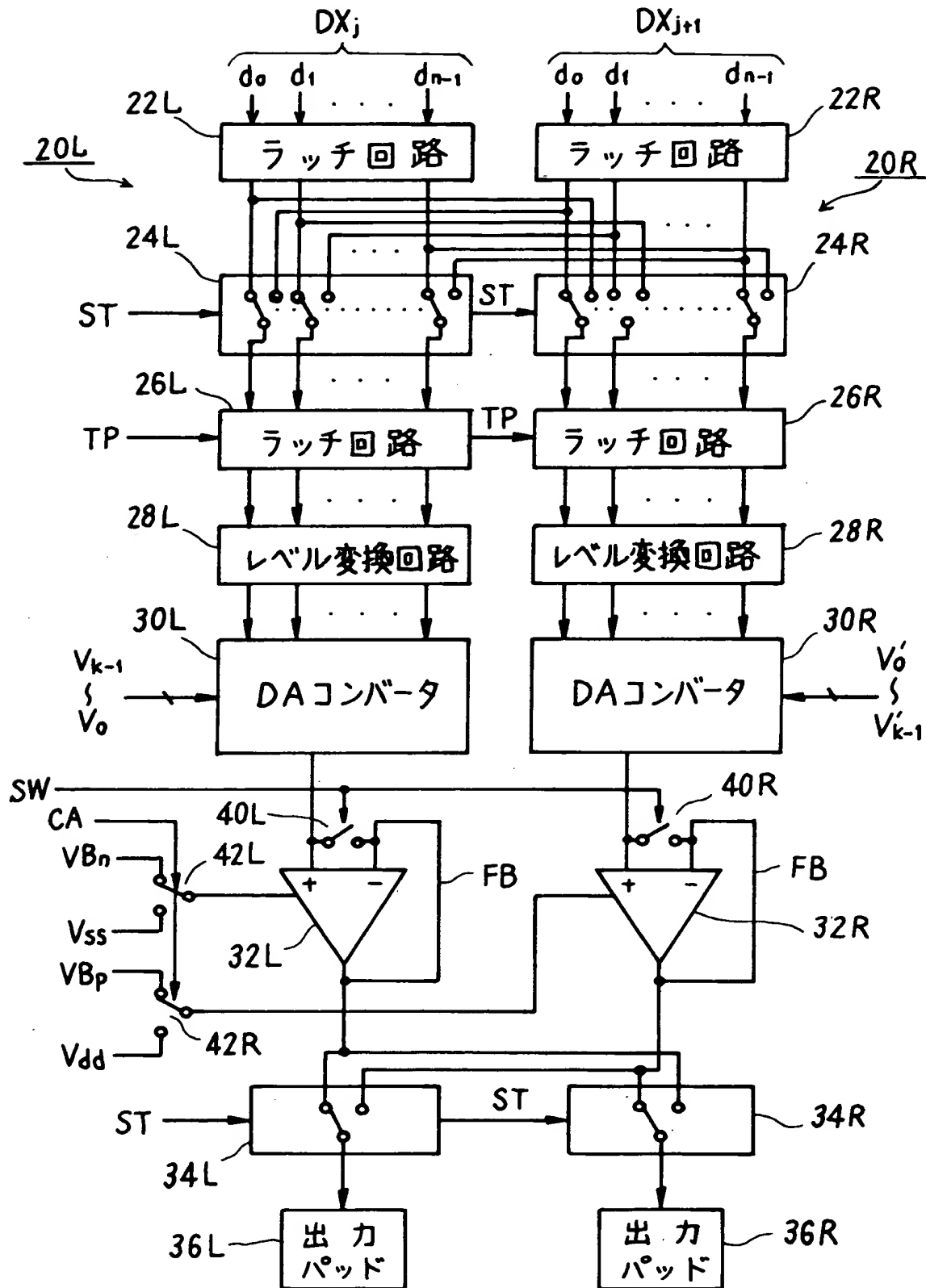
1 0	液晶パネル
1 2	コントローラ
1 4	画像信号処理回路
1 6	階調電圧発生回路
S 1, S 2, …	信号線ドライバ
2 0 L, 2 0 R	信号線駆動部
3 2 L, 3 2 R	電圧フォロア
4 0 L, 4 0 R	開閉スイッチ
4 2 L, 4 2 R	切換スイッチ
4 4 L, 4 4 R	差動入力部
4 6 L, 4 6 R	出力部
5 8 L, 5 8 R, 6 0 L, 6 0 R	定電流源回路

【書類名】 図面

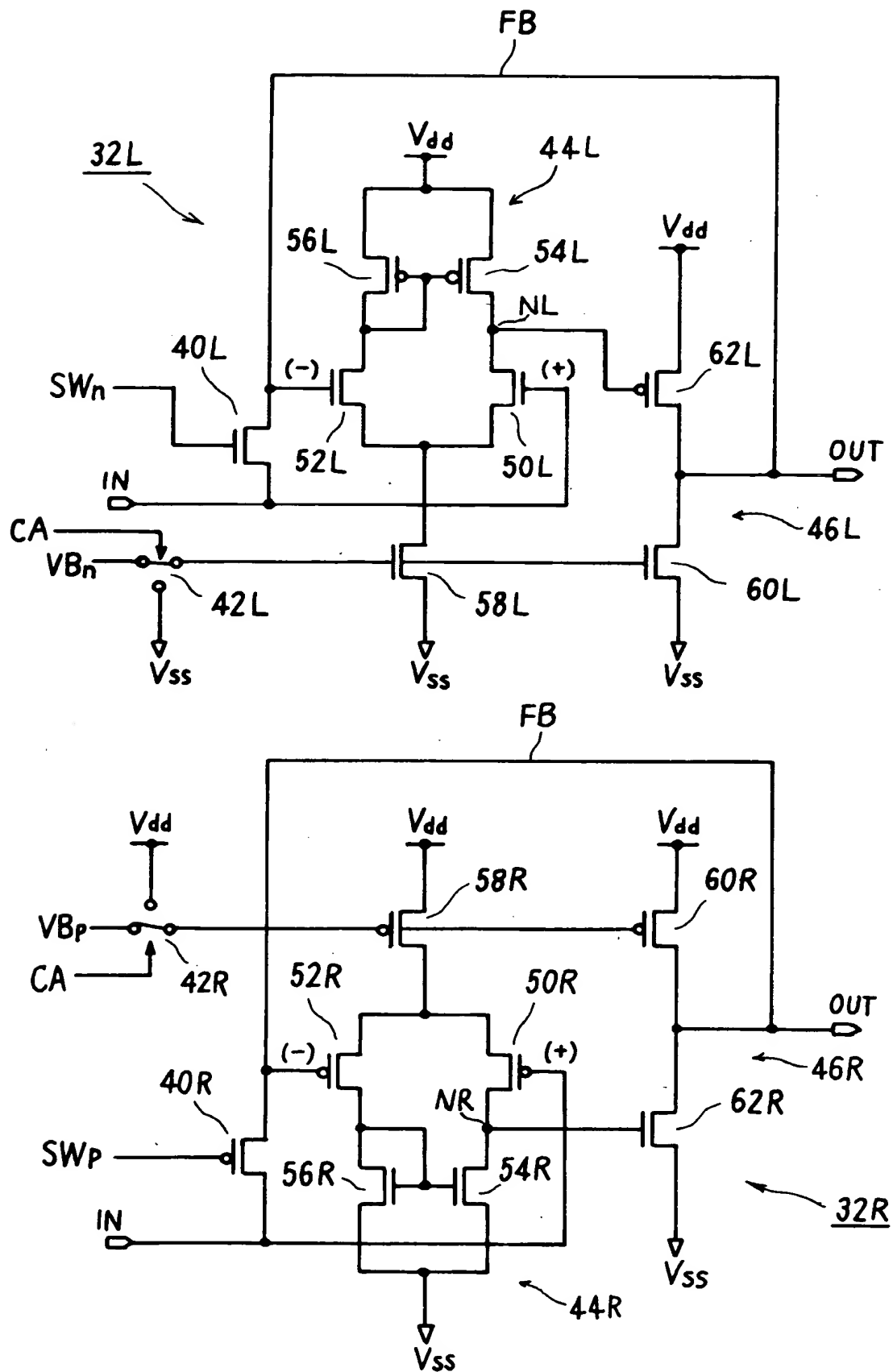
【図 1】



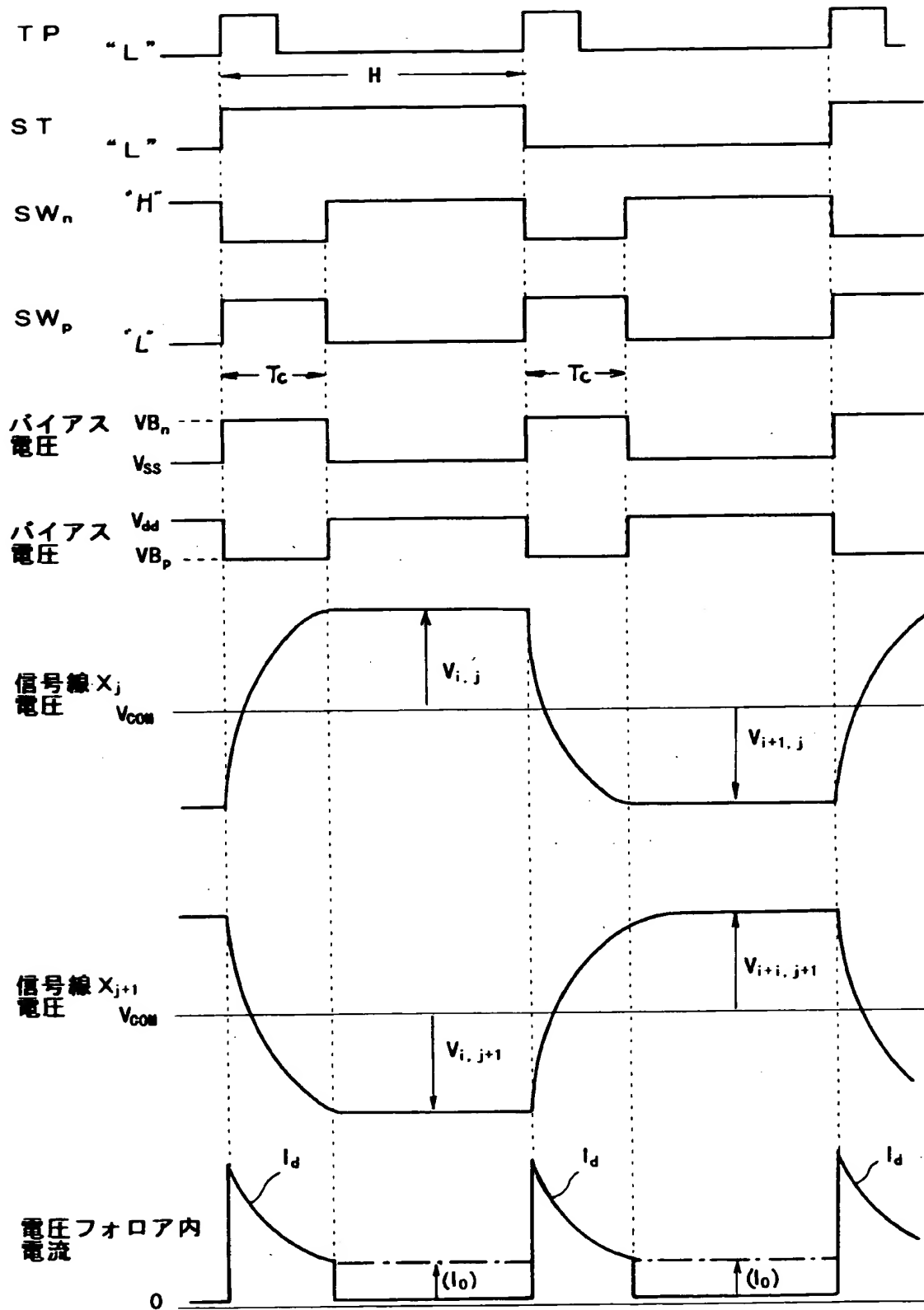
【図 2】



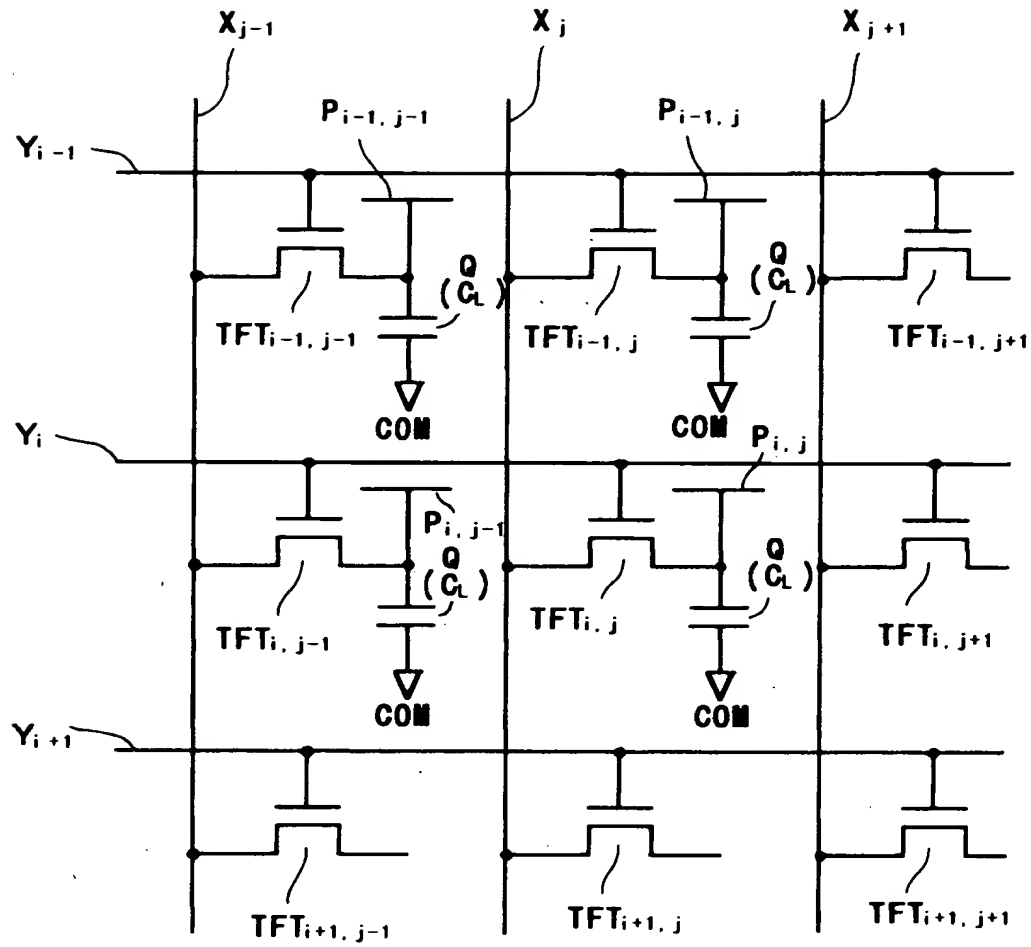
【図 3】



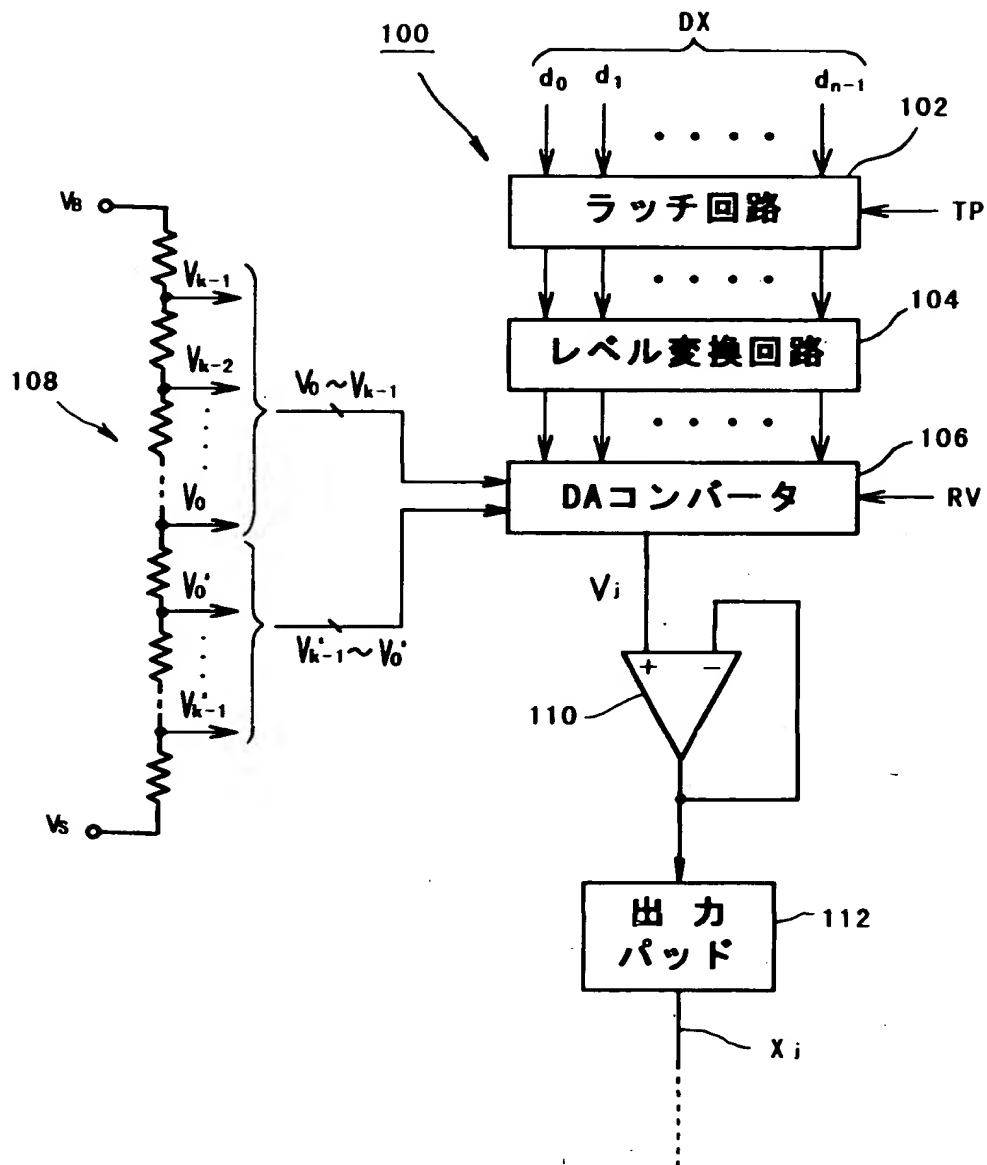
【図4】



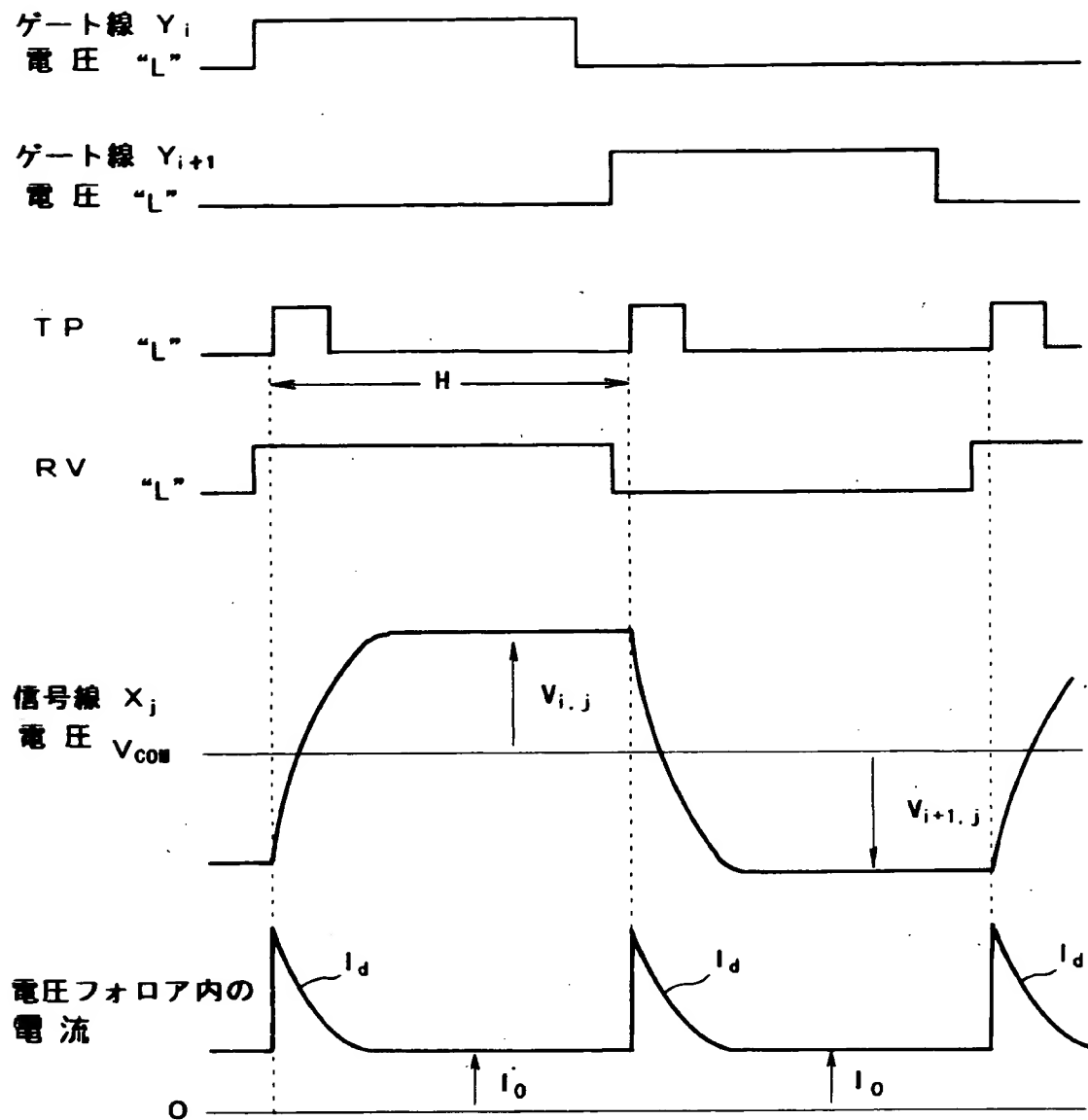
【図 5】



【図6】



【図 7】



【書類名】 要約書

【課題】 オフセットの影響を簡単かつ効率的に補償または回避して出力信号の電圧を目標値である入力信号の電圧に正確に一致させるとともに、消費電流を大幅に低減すること。

【解決手段】 電圧フォロア 3 2 L は、各定電流源回路 (5 8 L, 6 0 L) にバイアス電圧 V_{Bn} を供給されているときは、ソース型の電圧フォロアとして動作する。しかし、各定電流源回路 (5 8 L, 6 0 L) に対するバイアス電圧が V_{Bn} から電源電圧レベルの V_{ss} に変わると、各定電流源回路 (5 8 L, 6 0 L) はオフ状態となり、電流を流さなくなる。差動入力部 4 4 L では、定電流源回路 5 8 L がオフすることで、出力端子 (ノード) N_L の電位がほぼ電源電圧 V_{dd} のレベルまで上昇する。これにより、出力部 4 6 L では、駆動トランジスタ 6 2 L もオフ状態となる。

【選択図】 図 3

認定・付加情報

特許出願の番号	特願2000-187771
受付番号	50000782546
書類名	特許願
担当官	第七担当上席 0096
作成日	平成12年 6月28日

<認定情報・付加情報>

【提出日】	平成12年 6月22日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [390020248]

1. 変更年月日 1999年11月19日

[変更理由] 住所変更

住 所 東京都新宿区西新宿六丁目24番1号

氏 名 日本テキサス・インスツルメンツ株式会社